

Patent Abstracts of Japan

PUBLICATION NUMBER : 55156336
 PUBLICATION DATE : 05-12-80

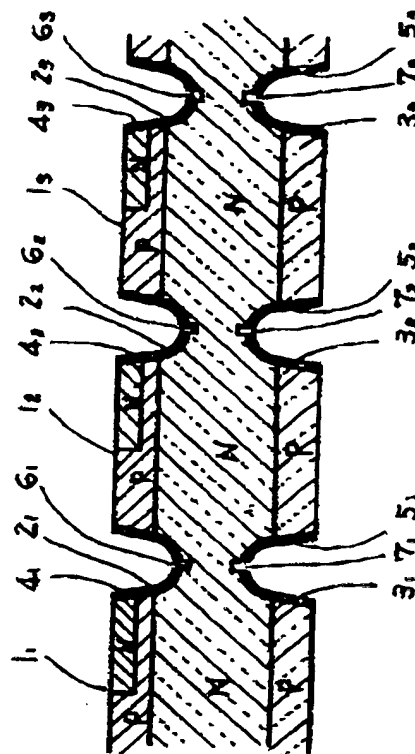
APPLICATION DATE : 03-04-80
 APPLICATION NUMBER : 55044966

APPLICANT : NEC HOME ELECTRONICS LTD;

INVENTOR : KUMANO SHOJI;

INT.CL. : H01L 21/78

TITLE : MANUFACTURE OF
 SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To prevent the occurrence of cracks on the glass film by providing notches on the glass film when forming a plurality of elements in the semiconductor wafer, providing mesa grooves at the boundaries between these elements, filling up these grooves with glass passivation films and then separating the wafer into individual elements mechanically at these mesa grooves.

CONSTITUTION: From both surface and rear sides of an N-type Si wafer, P-type impurities are diffused thereinto to form P-type regions and a plurality of N-type regions are provided in one of these P-type regions at surface side. Next, mesa grooves 2₁~2₃ abutting on the N-type regions, passing through the P-type region and extending into the N-type wafer itself by etching are formed, so that the P-type region at surface side is divided into 1₁~1₃. Thereafter, mesa grooves 3₁~3₃ are provided on its rear side at the positions confronting the mesa grooves 2₁~2₃ so as to form a thyristor element of NPNP-structure in each element region. These mesa grooves at both surface and rear sides are coated with glass passivation films 4₁~4₃ and 5₁~5₃, respectively. And when separating thus processed substrate into individual elements by use of rubber rollers, notches 6₁~6₃ and 7₁~7₃ are previously formed on the glass passivation films at the bottom portions of the mesa grooves, respectively.

COPYRIGHT: (C)1980,JPO&Japio

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭55—156336

⑬ Int. Cl.³
H 01 L 21/78

識別記号

庁内整理番号
7131—5F

⑭ 公開 昭和55年(1980)12月5日

発明の数 1
審査請求 未請求

(全 2 頁)

⑮ 半導体装置の製造方法

⑯ 特 願 昭55—44966

⑰ 出 願 昭50(1975)5月27日
(前実用新案出願日援用)

⑱ 発 明 者 市川哲雄
大阪市北区梅田1丁目8番17号
新日本電気株式会社内

⑲ 発 明 者 大内山健
大阪市北区梅田1丁目8番17号
新日本電気株式会社内

⑳ 発 明 者 高田幹雄
大阪市北区梅田1丁目8番17号
新日本電気株式会社内

㉑ 発 明 者 松村保男
大阪市北区梅田1丁目8番17号
新日本電気株式会社内

㉒ 発 明 者 熊野省治
大阪市北区梅田1丁目8番17号
新日本電気株式会社内

㉓ 出 願 人 新日本電気株式会社
大阪市北区梅田1丁目8番17号

発明の名称

半導体装置の製造方法

特許請求の範囲

半導体ウエーハに複数の半導体素子を形成する工程と、各半導体素子の隣接する界面に、その界面両面よりエッチングしてメサ部を形成する工程と、各メサ部にガラス保護膜を形成する工程と、界面両面の各メサ部のガラス保護膜に切込みを設ける工程と、この半導体ウエーハを断片的に分割する工程とを含む半導体装置の製造方法。

発明の詳細な説明

本発明は半導体ウエーハに形成された複数の半導体素子を、特性に相違を及ぼさないように分割できるようにした半導体装置の製造方法に関するものである。

一般に、半導体素子は、一枚の半導体ウエーハ

に、異なる導電型の不純物を順次拡散して、複数の半導体素子を形成し、各半導体素子の隣接する界面間の界面に、ダイヤモンドカット又はレーザ光で切込みを設け、半導体ウエーハをブローラを出すことにより、上記切込みより断片的に分割して得ている。

而して、ある種の半導体素子、例えばサイリスタ素子においては、切込みを設ける前に、各半導体素子の隣接する界面に、その界面両面よりエッチングしてメサ部を形成するとともに、これら各メサ部にガラス保護膜を形成し、しかる後に界面側の各メサ部のガラス保護膜に半導体ウエーハをも切込む切込みを設けるようにしているが、このような半導体ウエーハを、ブローラを通して個々のサイリスタ素子に分割する際には界面側のガラス保護膜に亀裂が生じ、ガラス保護膜が剥離し、メサ部が露出して特性が劣化するということがあつた。

本発明は、上記点を改良するために提案されたもので、ガラス保護膜への切込みを、界面両側の

メサ部を形成することを特徴とする。

以下、本発明の一実施例を図面により説明する。図において、1, 1', 1''はN型シリコンウェーハの表面面よりP型不純物を拡散した後に、図面のウエーハ面よりP型不純物を拡散して形成したNPN型の4層よりなるサイリスタ素子、2, 2', 2''は各サイリスタ素子の図面する外面に、エンタングすることにより形成した表面側のメサ部、3, 3', 3''は上記メサ部2, 2', 2''と隣接して形成し、且つ上記メサ部2, 2', 2''と夫々対応させて形成した表面側のメサ部、4, 4', 4'', 5, 5', 5''は表面側の各メサ部上に形成したガラス保護膜、6, 6', 6'', 7, 7', 7''は表面側の各メサ部に、ダイヤモンド又はレーザ光により、ガラス保護膜をも切込んで設けた切込みである。尚、これら切込みは、対応する表面メサ部で、肉地するように設けた方がよい。又表面側の切込みは必ずしも半導体ウェーハまで達していなくともよい。

本発明は以上のような構成よりなる半導体ウェーハを、プロセス等を通してことにより、簡便的

特開昭55-156336(2)

に個々に分割する際、分割が表面両面の切込みより開始され、ガラス保護膜等に表面側のガラス保護膜に亀裂が生じるのを防止することができ、ガラス保護膜の亀裂に基づき特性上の不利が軽減される。

図面の簡易な説明

図は本発明に係る半導体装置の製造方法に供する半導体ウェーハの一実施例の断面図である。

1, 1', 1'' 半導体素子、

2, 2', 2'', 3, 3', 3'' メサ部、

4, 4', 4'', 5, 5', 5'' ガラス保護膜、

6, 6', 6'', 7, 7', 7'' 切込み。

特許出願人 新日本電機株式会社

